

Docket No. 250759US2\$ /ims



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masaharu WADA

GAU:

SERIAL NO: 10/803,934

EXAMINER:

FILED: March 19, 2004

FOR: REFERENCE POWER SUPPLY CIRCUIT FOR SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed -
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY
JAPAN

APPLICATION NUMBER
2003-411919

MONTH/DAY/YEAR
December 10, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Surinder Sachar

Registration No. 34,423

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 1 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 4 1 1 9 1 9
Application Number:

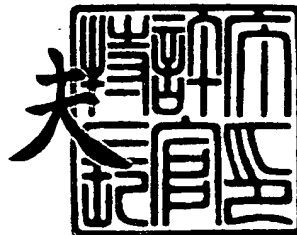
ST. 10/C] : [J P 2 0 0 3 - 4 1 1 9 1 9]

願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 4 年 4 月 6 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 4 - 3 0 2 8 1 3 6

【書類名】 特許願
【整理番号】 A000304840
【提出日】 平成15年12月10日
【あて先】 特許庁長官 殿
【国際特許分類】 G05F 3/30
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 和田 政春
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

第 1 の電位に N 型の半導体領域が接続された第 1 の P N ジャンクションと、
前記第 1 の電位に N 型の半導体領域が接続され、前記第 1 の P N ジャンクションと異なるサイズの第 2 の P N ジャンクションと、
第 2 の電位と前記第 1 の P N ジャンクションの P 型半導体領域との間に接続された第 1 の電流源と、
前記第 2 の P N ジャンクションの P 型半導体領域に一端が接続された第 1 の抵抗素子と、
前記第 1 の抵抗素子と前記第 2 の P N ジャンクションに並列接続された第 2 の抵抗素子と、
前記第 1 の抵抗素子の他端と前記第 2 の電位との間に挿入された第 2 の電流源と、
前記第 2 の電位と出力端との間に接続された第 3 の電流源と、
前記第 1 の電流源と第 1 の P N ジャンクションの間の電位を反転入力とし、前記第 2 の電流源と前記第 1 の抵抗素子との接続点の電位を非反転入力とし、これら反転入力と非反転入力の電位差により前記第 1、第 2、第 3 の電流源を制御する差動増幅器と
を具備することを特徴とする基準電源回路。

【請求項 2】

前記差動増幅器は、入力段にソースフォロア回路を有し、このソースフォロア回路により入力電位を受けることを特徴とする請求項 1 記載の基準電源回路。

【請求項 3】

前記出力端の電圧により制御され、前記差動増幅器にバイアス電位を印加するバイアス回路をさらに具備することを特徴とする請求項 2 記載の基準電源回路。

【請求項 4】

前記差動増幅器の出力端と前記第 2 の電位の間に接続された容量性付加をさらに具備することを特徴とする請求項 1 記載の基準電源回路。

【請求項 5】

第 1 の電位に N 型の半導体領域が接続された第 1 の P N ジャンクションと、
前記第 1 の電位に N 型の半導体領域が接続され、前記第 1 の P N ジャンクションと異なるサイズの第 2 の P N ジャンクションと、
前記第 2 の P N ジャンクションの P 型半導体領域に一端が接続された第 1 の抵抗素子と、
前記第 1 の抵抗素子と前記第 2 の P N ジャンクションに並列接続された第 2 の抵抗素子と、
第 2 の電位と出力端との間に接続された電流源と、
前記第 1 の P N ジャンクションに流れる電流を前記第 1、第 2 の抵抗及び前記第 2 の P N ジャンクションにミラーし、前記第 1、第 2 の抵抗及び前記第 2 の P N ジャンクションに流れる電流に応じて前記電流源を制御するミラー回路と
を具備することを特徴とする基準電源回路。

【書類名】明細書

【発明の名称】基準電源回路

【技術分野】

【0001】

本発明は、例えば半導体装置に適用され、基準電流や基準電圧を発生する基準電源回路に関する。

【背景技術】

【0002】

半導体装置は、基準電流や基準電圧を発生する基準電源回路を有している。この基準電源回路は、例えばBGR (Band Gap Reference) 回路を用いて構成されている。また、近時、半導体装置の電源は低電圧化されており、電源電圧が1.25V以下でも動作可能な半導体装置が開発されている（例えば、特許文献1参照）。

【0003】

図17は、従来の基準電圧発生回路の一例を示している。図17において、差動増幅回路AMPの出力電圧PGTはPチャネルMOSトランジスタ（以下、PMOSトランジスタと称す）P1、P2のゲートに供給される。この差動増幅器AMPは、接続ノードINPの電位と、接続ノードINNの電位が等しくなるように、PMOSトランジスタP1とP2を制御する。このとき、抵抗RAに流れる電流をIA、ダイオードD2の両端の電位差をVA、抵抗RB、RBの両端の電位差をそれぞれVA' とすると、式(1)に示すようになる。

【0004】

$$VA' = RA \cdot IA + VA \quad \dots (1)$$

ダイオードの電流、電圧は、式(2)(3)に示す通りである。

【0005】

$$I = I_s \cdot \exp qV / kT \quad \dots (2)$$

$$V = V_0 \cdot \ln (I / I_s) \quad (V_0 = kT / q) \quad \dots (3)$$

但し、 I_s ：逆方向飽和電流、 k ：ボルツマン定数、 T ：絶対温度、 q ：電子電荷
式(3)を用いて、式(1)を変形すると、電流IAの温度特性は式(4)のように表される。

【0006】

$$IA = V_0 / RA \cdot \ln (I_{SA} / I_{SB}) \quad \dots (4)$$

ここで、 I_{SA} 、 I_{SB} は、ダイオードD2、D1の逆方向飽和電流である。式(4)より、電流IAの温度特性は、式(5)に示すようになる。

【0007】

$$dIA / dT = k / (RA \cdot q) \cdot \ln I_{SA} / I_{SB} > 0 \quad \dots (5)$$

また、抵抗RB、電流IBと抵抗RBの両端の電位差VA' の関係は式(6)に示すようになる。

【0008】

$$VA' = RB \cdot IB$$

$$IB = VA' / RB \quad \dots (6)$$

式(6)より、抵抗RBに流れる電流IBの温度特性は、式(7)に示すようになる。

【0009】

$$dIB / dT = 1 / RB \cdot dVA' / dT < 0 \quad \dots (7)$$

このとき、式(8)のようにIAとIBの温度に対する変化の和が相殺するように回路条件を選択すれば、温度依存性の小さい電流源が生成される。

【0010】

$$(dIA / dT) + (dIB / dT) = 0 \quad \dots (8)$$

例えばダイオードD2、D1のサイズの比率を100:1にすると、抵抗RB:RAの比率は次のように求められる。すなわち、

$$RB / RA = (q / k \cdot dVA' / dT) / \ln (I_{SA} / I_{SB})$$

ここで、各パラメータの数値は、次のようである。

【0011】

$q = 1.6 e^{-19}$ (C)、 $k = 1.38 e^{-23}$ (J/K)、
 $dVA' / dT = -2$ (mV)、 $\ln(I_{SA} / I_{SB}) = \ln(100) = 4.6$
このため、抵抗RB、RAの比は式(9)となる。

【0012】

$$RB / RA = 23 / 4.6 = 5 \quad \dots (9)$$

式(9)より、抵抗RB:RAの比率は約5:1になる。

【0013】

上記ダイオードのサイズの比率と、抵抗値の比率により、図17に示す回路を構成すると、PMOSトランジスタP1、P2、P3は温度依存性の小さい電流源として機能する。PMOSトランジスタP3と接地間に所要の抵抗RCを接続することにより、温度依存性の小さい出力電圧VREFを生成できる。

【0014】

しかし、差動増幅器AMPの入力段を構成する図示せぬトランジスタ対のばらつき(ミスマッチ)や、ミラー接続されたPMOSトランジスタP1、P2、P3のばらつき、ダイオードや抵抗の特性ばらつきによって、出力電圧VREFもばらつく。

【特許文献1】特開平11-45125号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

ところで、上記出力電圧VREFのばらつきを小さくするため、抵抗RA、RB、ダイオードD1、D2、トランジスタP1、P2、P3等のサイズを大きくし、各素子のばらつきを小さくする方法がとられる。しかし、この方法は、各素子のサイズを大きくしているため、第1の問題として、回路全体のサイズも大きくなり、製造コストが高騰する。特に、ダイオードD1と抵抗RBのサイズが回路全体のサイズを規定するため、これらのサイズを削減する必要がある。

【0016】

また、差動増幅器AMPの入力段を構成するトランジスタ対のサイズを大きくすると、負帰還回路の寄生容量が増大し、位相余裕が小さくなる。このため、第2の問題として回路の安定性が悪くなる。

【0017】

さらに、図18は、図17に示す回路の電圧電流特性を示している。図18において、曲線CA'は直列接続された抵抗RA、ダイオードD2に、抵抗RBを並列接続して構成された回路の電圧電流特性を示し、曲線CB'はダイオードD1と抵抗RBの並列接続された回路の電流電圧特性を示している。

【0018】

図4(b)、図5(b)は2つの曲線CA'、CB'の交点部分を拡大して示している。差動増幅器AMPの入力段を構成するトランジスタ対が閾値電圧のばらつきを有している場合、曲線CA'、CB'は、図4(b)、図5(b)に示す破線CA1'、CA2'、CB1'、CB2'に示すようにずれた状態と等価となる。このとき、PMOSトランジスタP1、P2、P3の電流値は、本来の電流値CI'に対して、破線CIA1'、CIA2'、CIB1'、CIB2'の特性に変化する。このとき曲線CA'とCB'の交わる角度が小さいほど、出力の電流値のばらつきは大きくなる。

【0019】

特に、抵抗をダイオードと並列に接続することにより、両曲線の交点の角度が小さくなる。このため、第3の問題として、この回路は、並列接続された抵抗とダイオードを用いていない回路と比べて、出力電圧又は出力電流のばらつきが大きい。

【0020】

さらに、差動増幅器AMPは、一般に、NMOSトランジスタ対のゲートに入力電圧が

供給される。このような構成の差動増幅器は、温度が上昇し、ダイオードの順方向電圧が小さくなった場合、NMOSトランジスタ対のソース電位が低下し、電流を制御するNMOSトランジスタ（例えば図15のN3）のドレイン電位が十分でなくなる。その結果、第4の問題として、NMOSトランジスタ対に入力電圧が供給される差動増幅器を用いた場合、高温において、回路が動作しなくなるおそれがある。

【0021】

また、図19に示すような構成の電流加算形の基準電圧生成回路も開発されている。しかし、この回路も、図17に示す回路と同様の課題を有し、しかも、回路を構成する素子数が多くなるという課題を有している。

【0022】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、回路のサイズを縮小でき、出力電圧又は出力電流のばらつきが少なく、しかも安定な動作が可能な基準電源回路を提供しようとするものである。

【課題を解決するための手段】

【0023】

本発明の基準電源回路は、上記課題を解決するため、第1の電位にN型の半導体領域が接続された第1のPNジャンクションと、前記第1の電位にN型の半導体領域が接続され、前記第1のPNジャンクションと異なるサイズの第2のPNジャンクションと、第2の電位と前記第1のPNジャンクションのP型半導体領域との間に接続された第1の電流源と、前記第2のPNジャンクションのP型半導体領域に一端が接続された第1の抵抗素子と、前記第1の抵抗素子と前記第2のPNジャンクションに並列接続された第2の抵抗素子と、前記第1の抵抗素子の他端と前記第2の電位との間に挿入された第2の電流源と、前記第2の電位と出力端との間に接続された第3の電流源と、前記第1の電流源と第1のPNジャンクションの間の電位を反転入力とし、前記第2の電流源と前記第1の抵抗素子との接続点の電位を非反転入力とし、これら反転入力と非反転入力の電位差により前記第1、第2、第3の電流源を制御する差動増幅器とを具備している。

【0024】

さらに、本発明の基準電源回路は、第1の電位にN型の半導体領域が接続された第1のPNジャンクションと、前記第1の電位にN型の半導体領域が接続され、前記第1のPNジャンクションと異なるサイズの第2のPNジャンクションと、前記第2のPNジャンクションのP型半導体領域に一端が接続された第1の抵抗素子と、前記第1の抵抗素子と前記第2のPNジャンクションに並列接続された第2の抵抗素子と、第2の電位と出力端との間に接続された電流源と、前記第1のPNジャンクションに流れる電流を前記第1、第2の抵抗及び前記第2のPNジャンクションにミラーし、前記第1、第2の抵抗及び前記第2のPNジャンクションに流れる電流に応じて前記電流源を制御するミラー回路とを具備している。

【発明の効果】

【0025】

本発明によれば、回路のサイズを縮小でき、出力電圧又は出力電流のばらつきが少なく、しかも安定な動作が可能な基準電源回路を提供できる。

【発明を実施するための最良の形態】

【0026】

以下、本発明の実施の形態について図面を参照して説明する。尚、各図において、同一部分には同一符号を付している。

【0027】

図1は、第1の実施形態を示すものであり、基準電圧生成回路の例を示している。図1において、PNジャンクションを有するダイオードD1とPMOSトランジスタP2は、接地電位VSS（第1の電位）が供給される接地ノード（VSSノード）と電源電位VDD（第2の電位）が供給される電源ノード（VDDノード）との間に直列接続されている。また、PNジャンクションを有するダイオードD2と、抵抗R1、及びPMOSトラン

ジスタP1は、VSSノードとVDDノードとの間に直列接続されている。また、抵抗R3とPMOSトランジスタP3は、VSSノードとVDDノードとの間に直列接続されている。抵抗R1とPMOSトランジスタP1の接続ノードとVSSノードとの間には抵抗R2が接続されている。抵抗R1とPMOSトランジスタP1の接続ノードINPは、差動増幅器AMPの非反転入力端に接続され、ダイオードD1とPMOSトランジスタP2の接続ノードINNは差動増幅器AMPの反転入力端に接続されている。この差動増幅器AMPの出力端PGTは、PMOSトランジスタP1、P2、P3のゲートに接続される。PMOSトランジスタP3と抵抗R3の接続ノードは出力ノードであり、この出力ノードから基準電圧VREFが出力される。ここで、第2の電源電位VDDは、例えば1.0Vであり、基準電圧VREFは、抵抗R3の抵抗値に応じて0からVDD-Vdspまで自由に設定できる。ここでのVdspはPMOSトランジスタP3のドレインソース電圧である。

【0028】

図2は、第1の実施形態の原理を説明するための図である。図2は、図19に示す回路の差動増幅器AMPAとAMPB、ダイオードD1とD1'、抵抗R4、ダイオードD3の並列回路と抵抗R5、PMOSトランジスタP9とP9'、P8とP10、P11とP12を各々重ね合わせの原理で重ねた回路である。

【0029】

図2において、図1と同一部分には同一符号を付している。ここで、ダイオードD1、D1'、D2のサイズの関係例えばD2 = nD1、D1' = mD1とする。図19に示す回路の構成より、ダイオードD1とD2には電流I1が流れ、ダイオードD1'と抵抗R2には、電流I2が流れている。

【0030】

ダイオードD1の両端の電位差をVとすると、ダイオードD1の電流電圧特性は、式(11)(12)のようになる。

【0031】

$$I_1 = I_s \cdot \exp(pV/kT) \quad \dots (11)$$

$$V = (kT/q) \cdot \ln(I_1/I_s) \quad \dots (12)$$

抵抗R1とダイオードD2の両端電圧Vは式(13)のようになる。

【0032】

$$V = R_1 \cdot I_1 + kT/q \cdot \ln(I_1/(n \cdot I_s)) \quad \dots (13)$$

電圧Vが等しいため、式(12)と(13)から

$$R_1 \cdot I_1 + (kT/q) \cdot \ln(I_1/(n \cdot I_s))$$

$$= (kT/q) \cdot \ln(I_1/I_s) \quad \dots (14)$$

$$R_1 \cdot I_1 = (kT/q) \cdot \ln(n \cdot I_s/I_s) \quad \dots (15)$$

$$I_1 = (kT/(q \cdot R_1)) \cdot \ln(n \cdot I_s/I_s) \quad \dots (16)$$

ダイオードD1'のサイズは、ダイオードD1のサイズのm倍であるため、ダイオードD1'に流れる電流は、m・I1である。ダイオードD1'と抵抗R2に同じ電流I2を流しているため、

$$R_2 \cdot m \cdot I_1 = V \quad \dots (17)$$

$$I_1 = V/(R_2 \cdot m) \quad \dots (18)$$

$$I_2 = m \cdot I_1 \quad \dots (19)$$

PMOSトランジスタP2、P1が流す電流はI1+I2であるため、式(16)と(19)より式(20)が成立する。

【0033】

$$I_1 + I_2 = (kT/qR_1) \ln(n \cdot I_s/I_s) + m \cdot I_1 \quad \dots (20)$$

$$I_1 + I_2 = (kT/qR_1) \ln(n \cdot I_s/I_s) + V/R_2 \quad \dots (21)$$

式(21)を温度で微分すると式(21)の右辺は式(22)となる。

【0034】

$$(k/(q \cdot R_1)) \cdot \ln(n) + (dV/dT)/R_2 \quad \dots (22)$$

ここで、PNジャンクションの温度特性 (dV/dT) は負である。このため、式 (22) がゼロになる n 、 $R1$ 、 $R2$ の組み合わせにより $I1 + I2$ の温度特性が無くなる。

【0035】

$$(k / (q \cdot R1)) \cdot \ln(n) + (dV/dT) / R2 = 0 \quad \dots (23)$$

$$R2 \cdot \ln(n) / R1 = - (dV/dT) \cdot q / k \quad \dots (24)$$

式 (24) の (dV/dT) はダイオード $D1 + D1'$ の温度特性である。

【0036】

また、ダイオード $D1$ と $D1'$ は $(1+m)$ のダイオード $D1$ と見なすことができる。ここで、 $m=1$ でも式 (24) は成立する。このとき2つのダイオードを1つとみなし図2を図1に変形することができる。

【0037】

上記第1の実施形態によれば、図1に示す回路において、ダイオード $D1$ とダイオード $D2$ のサイズの比率を保持すれば、温度特性も変化しない。よって、この回路はダイオード $D1$ と $D2$ のサイズを図17に示す回路の半分のサイズで構成できる。例えば図17に示す回路において、ダイオード $D1$ と $D2$ のサイズの比が1:100である場合、図1に示す回路の場合、ダイオード $D1$ と $D2$ のサイズの比を1:約50とすることが可能である。

【0038】

また、図1に示す回路は、図17に示す2つの抵抗 RB の一方を削除できる。したがって、抵抗のサイズもほぼ半分にできる。

【0039】

図3は、図1に示す接続ノード INN 、 INP の電圧電流特性を示している。図1に示すように、ダイオード $D1$ に並列接続される抵抗を削除した場合、図3に示すように、接続ノード INP と接続ノード INN の動作曲線 CA 、 CB は、交点での交わる角度が、図18に示す従来の回路の動作曲線 CA' 、 CB' と比べて大きくなる。このため、図4(a)、図5(a)に示すように、差動増幅器 AMP の入力段を構成する $NMOS$ トランジスタの閾値電圧にばらつきが生じた場合においても、差動増幅器 AMP の出力電圧により制御される $PMOS$ トランジスタ $P1$ 、 $P2$ 、 $P3$ の出力電流 CI の誤差 $CIA1$ 、 $CIA2$ 、 $CIB1$ 、 $CIB2$ を小さくできる。したがって、安定な基準電圧 $VREF$ を発生することができる。

【0040】

(第2の実施形態)

図6は、第2の実施形態を示すものであり、基準電圧生成回路の例を示している。第2の実施形態は、次の点で第1の実施形態と異なっている。差動増幅器 $AMP1$ がソースフォロア型の差動増幅器により構成され、この差動増幅器 $AMP1$ は、バイアス回路 BC から出力されるバイアス電圧 VBN により制御されている。

【0041】

すなわち、バイアス回路 BC は、抵抗 $R4$ と $NMOS$ トランジスタ $N4$ 、 $N5$ 、及び $PMOS$ トランジスタ $P10$ により構成されている。抵抗 $R4$ の一端は VDD ノードに接続され、他端は $NMOS$ トランジスタ $N4$ のドレイン、ゲート及び $NMOS$ トランジスタ $N5$ のゲートに接続されている。 $NMOS$ トランジスタ $N4$ 、 $N5$ のソースは VSS ノードに接続されている。さらに、 $NMOS$ トランジスタ $N5$ のドレインは $PMOS$ トランジスタ $P10$ のドレイン及びゲートに接続され、 $PMOS$ トランジスタ $P10$ のソースは VDD ノードに接続されている。このバイアス回路 BC から出力されるバイアス電流の大きさは抵抗 $R4$ の抵抗値で設定する。

【0042】

また、差動増幅器 $AMP1$ は、 $NMOS$ トランジスタ $N1$ 、 $N2$ 、 $N3$ 、及び $PMOS$ トランジスタ $P4$ 、 $P5$ 、 $P6$ 、 $P7$ 、 $P8$ 、 $P9$ により構成されている。 $PMOS$ トランジスタ $P4$ 、 $P5$ のソースは VDD ノードに接続されている。これら $PMOS$ トランジスタ $P4$ 、 $P5$ のゲートは共通接続されるとともに、 $PMOS$ トランジスタ $P5$ のドレイ

ンに接続されている。PMOSトランジスタP4、P5のドレインは差動対を構成するNMOSトランジスタN1、N2のドレインにそれぞれ接続されている。これらNMOSトランジスタN1、N2のソースはNMOSトランジスタN3のドレインに接続され、トランジスタN3のソースはVSSノードに接続されている。このNMOSトランジスタN3のゲートは、前記バイアス回路BCの出力端としてのNMOSトランジスタN4、N5のゲートに接続されている。すなわち、NMOSトランジスタN3は、バイアス回路BCの出力電圧VBNにより制御されている。

【0043】

NMOSトランジスタN1、N2のゲートは、PMOSトランジスタP6、P7のドレインに接続されている。これらPMOSトランジスタP6、P7のソースは、VDDノードに接続されている。さらに、PMOSトランジスタP6、P7のゲートはバイアス回路BCを構成するPMOSトランジスタP10のゲートに接続されている。したがって、これらPMOSトランジスタP6、P7は、バイアス回路BCの出力電圧VBPにより制御されている。また、PMOSトランジスタP6、P7のドレインは、PMOSトランジスタP8、P9のソースに接続されている。

【0044】

また、前記NMOSトランジスタN1、N2のゲートはPMOSトランジスタP8、P9のソースに接続されている。これらPMOSトランジスタP8、P9のドレインはVSSノードに接続されている。PMOSトランジスタP8のゲートは接続ノードINNに接続され、PMOSトランジスタP9のゲートは接続ノードINPに接続されている。これら接続ノードINN、INPの電位はソースフォロア回路としてのPMOSトランジスタP8、P9を介してNMOSトランジスタN1、N2に供給される。

【0045】

上記構成において、差動増幅器AMP1を構成するNMOSトランジスタN1、N2に接続されたPMOSトランジスタP4、P5は、増幅作用に寄与する。このため、PMOSトランジスタP4、P5の特性のばらつきが出力に大きく影響する。よって、ばらつきが小さくなるよう、PMOSトランジスタP4、P5のサイズを大きくしてある。また、PMOSトランジスタP8、P9はソースフォロアになっているため、電圧増幅に対して寄与が小さい。よってサイズを小さくできる。具体的には、PMOSトランジスタP8、P9のサイズは、差動対を構成するNMOSトランジスタN1、N2のほぼ1/10のサイズとされている。このように、PMOSトランジスタP8、P9のサイズを通常のPMOSトランジスタやNMOSトランジスタに比べて小さくすることにより、負帰還回路の寄生容量を小さくすることができる。したがって、位相余裕を大きくすることができる。

【0046】

図7は、第2の実施形態における接続ノードINP、INNの動作曲線の温度特性を示している。図7から明らかなように、温度が高くなると接続ノードINP、INNの動作曲線の交点の電位が低くなる。図17に示すような、NMOSトランジスタのゲートで入力電圧を受ける差動増幅器の場合、高い温度においてダイオードD1、D2の順方向電圧が小さくなった場合、動作余裕がなくなる。しかし、図6に示すように、ソースフォロア回路としてのPMOSトランジスタP8、P9のゲートで接続ノードINP、INNの電位を受けることにより、高い温度でも差動増幅器を確実に動作でき、動作余裕を確保できる。

【0047】

上記第2の実施形態によれば、差動増幅器AMP1の入力段にソースフォロア回路としてのPMOSトランジスタP8、P9を配置し、これらPMOSトランジスタP8、P9により入力信号を受けている。一般に、高温状態において、ダイオードD1、D2のPNジャンクションの順方向電流が大きくなり、その結果、PNジャンクションの両端電圧が相対的に小さくなると、差動増幅回路の入力電位が下がる。しかし、ソースフォロア回路によって入力電圧を高い方にシフトできるため、高温状態でも動作余裕を十分確保できる。したがって、高温においても回路動作の安定性を向上できる。

【0048】

しかも、PMOSトランジスタP8、P9は、他のPMOSトランジスタに比べてサイズが小さくされている。このため、PMOSトランジスタP8、P9は入力容量が小さく、負帰還回路の寄生容量を低減できる。したがって、位相余裕を十分確保でき、回路動作の安定性を向上できる。

【0049】

図8は、第2の実施形態の変形例を示すものであり、基準電流生成回路の例を示している。図8に示す回路は、図6に示す回路から抵抗R3を削除している。この回路は、PMOSトランジスタP3のドレインから基準電流IREFが出力される。

【0050】

図8に示す構成としても第2の実施形態と同様の効果を得ることができる。

【0051】

図9は、第2の実施形態の更なる変形例を示すものであり、基準電流生成回路の例を示している。PMOSトランジスタP3のドレインには、NMOSトランジスタN7、N8により構成されたカレントミラー回路が接続されている。すなわち、PMOSトランジスタP3のドレインには、NMOSトランジスタN7のドレイン、ゲート、及びNMOSトランジスタN8のゲートが接続されている。これらNMOSトランジスタN7、N8のソースは、VSSノードに接続されている。NMOSトランジスタN8のドレインから基準電流IREF2が出力される。

【0052】

図9に示す構成によれば、NMOSトランジスタN8を温度変化に対して変化の少ない定電流源にすることができる。

【0053】

図10は、第2の実施形態の更なる変形例を示すものであり、基準電圧生成回路の例を示している。図10において、バイアス回路BCは、NMOSトランジスタN6とPMOSトランジスタP11により構成されている。PMOSトランジスタP11のソースはVDDノードに接続され、ゲートはPMOSトランジスタP6、P7のゲートとともに出力ノードに接続されている。PMOSトランジスタP11のドレインはNMOSトランジスタN6のドレイン、ゲート及びトランジスタN3のゲートに接続されている。このNMOSトランジスタN6のソースはVSSノードに接続されている。

【0054】

上記構成によれば、バイアス回路BCから抵抗を除去でき、バイアス回路をトランジスタのみで構成できる。このため、バイアス回路BCのサイズを削減できる。

【0055】

図11は、第2の実施形態の更なる変形例を示すものであり、基準電圧生成回路の例を示している。図11において、VDDノードと差動増幅回路AMP1の出力端間に容量性負荷としてのキャパシタC1が接続されている。キャパシタC1は負帰還回路の位相を補償する。

【0056】

このように、VDDノードと差動増幅回路AMP1の出力端間にキャパシタC1を接続することにより、電源ノイズに対する耐性を向上できる。しかも、ソースフォロア回路としてのPMOSトランジスタP8、P9は寄生容量が小さいため、キャパシタC1のサイズを小さくできる利点を有している。

【0057】

図12は、図1の変形例を示すものである。図12において、差動増幅器の出力ノードとVDDノードとの間には、図11と同様に、位相補償用のキャパシタが接続されている。このような構成によれば、図1に示す回路の位相余裕を向上できる。

【0058】

図13は、図1に示す回路の変形例を示すものであり、抵抗R3を除去し、基準電流生成回路を構成した例を示している。

【0059】

図14は、図1に示す回路の変形例を示すものであり、基準電流生成回路を構成した例を示している。図14に示す回路は、抵抗R3に代えて、NMOSトランジスタN7、N8からなるカレントミラー回路を接続し、NMOSトランジスタN8から基準電流IREF2を出力している。

【0060】

図15は、図1に示す回路の更なる変形例を示すものであり、バイアス回路BCを付加した例を示している。バイアス回路BCは、抵抗R4とNMOSトランジスタN4とにより構成されている。抵抗R4の一端は、VDDノードに接続され、他端はNMOSトランジスタN4のドレイン及びゲートに接続されている。バイアス回路BCの出力端としてのNMOSトランジスタN4のゲートは、差動増幅器AMPを構成するNMOSトランジスタN3のゲートに接続されている。このように、差動増幅器AMPはバイアス回路BCによりバイアスされている。

【0061】

(第3の実施形態)

図16は、第3の実施形態を示すものであり、基準電圧生成回路の例を示している。第3の実施形態は、差動増幅器に代えてカレントミラー回路CMを用いている。すなわち、図16において、カレントミラー回路CMはPMOSトランジスタP12、P13及びNMOSトランジスタN8、N9により構成されている。VDDノードには、PMOSトランジスタP12、P13のソースが接続されている。これらPMOSトランジスタP12、P13のゲートは互いに接続されるとともに、PMOSトランジスタP12のドレインに接続されている。PMOSトランジスタP12、P13のドレインはNMOSトランジスタN8、N9のドレインに接続されている。これらNMOSトランジスタN8、N9のゲートは互いに接続され、NMOSトランジスタN9のドレインに接続されている。NMOSトランジスタN8のソースとVSSノードの間にはダイオードD1が接続されている。NMOSトランジスタN9のソースとVSSノードの間には抵抗R1とダイオードD2の直列回路及び抵抗R2が接続されている。ダイオードD1とダイオードD2のサイズの関係は、第1の実施形態と同様であり、ダイオードD2のサイズはダイオードD1のサイズの例えば50倍に設定されている。

【0062】

さらに、VDDノードとVSSノードの間には、PMOSトランジスタP3と抵抗R3が直列接続されている。PMOSトランジスタP3のゲートは、NMOSトランジスタN8のドレインに接続されている。PMOSトランジスタP3と抵抗R3の接続ノードより基準電圧VREFが出力される。

【0063】

上記構成において、ダイオードD1に流れる電流は、NMOSトランジスタN9により、NMOSトランジスタN8にミラーされ、NMOSトランジスタN8に流れる電流に応じてPMOSトランジスタP13、P3が制御される。このため、NMOSトランジスタN8、N9、P3には同一の電流が流れ、この電流に応じて抵抗R3の接続ノードより基準電圧VREFが出力される。

【0064】

上記構成によれば、ダイオードD1、D2のサイズは、第1の実施形態と同様である。しかも、ダイオードD1に並列に抵抗が接続されていない。このため、回路のサイズを削減できるとともに、安定な動作が可能である。

【0065】

また、NMOSトランジスタN8、N9及びPMOSトランジスタP12、P13により構成されたカレントミラー回路CMは電圧利得を有していない。このため、回路の発振を考慮する必要がない。したがって、位相補償の必要がない利点を有している。

【0066】

尚、図16において、抵抗R3を除去すれば、基準電流生成回路を構成できる。

【0067】

その他、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【図面の簡単な説明】

【0068】

【図1】第1の実施形態を示すものであり、基準電圧生成回路の例を示す回路図。

【図2】第1の実施形態の原理を説明するために示す回路図。

【図3】図1に示す回路の電圧電流特性を示す図。

【図4】図4 (a) (b) は、電圧電流特性を拡大して示す図。

【図5】図5 (a) (b) は、電圧電流特性を拡大して示す図。

【図6】第2の実施形態を示すものであり、基準電圧生成回路の例を示す回路図。

【図7】第2の実施形態の電圧電流特性を示す図。

【図8】第2の実施形態の変形例を示すものであり、基準電流生成回路の例を示す回路図。

【図9】第2の実施形態の変形例を示すものであり、基準電流生成回路の例を示す回路図。

【図10】第2の実施形態の変形例を示すものであり、基準電圧生成回路の例を示す回路図。

【図11】第2の実施形態の変形例を示すものであり、基準電圧生成回路の例を示す回路図。

【図12】図1の変形例を示す回路図。

【図13】図1に示す回路の変形例を示すものであり、基準電流生成回路を示す回路図。

【図14】図1に示す回路の変形例を示すものであり、基準電流生成回路を示す回路図。

【図15】図1に示す回路の変形例を示すものであり、基準電圧生成回路の例を示す回路図。

【図16】第3の実施形態を示すものであり、基準電圧生成回路の例を示す回路図。

【図17】従来の基準電圧発生回路の一例を示す回路図。

【図18】図17の電流電圧特性を示す図。

【図19】従来の基準電圧発生回路の他の例を示す回路図。

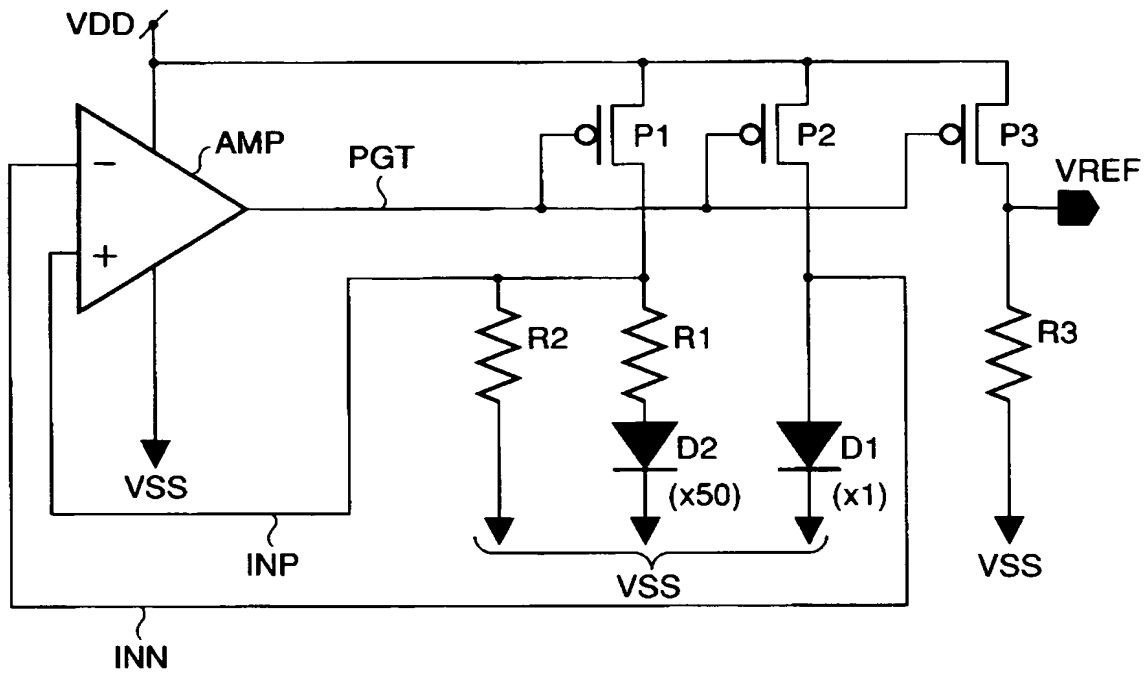
【符号の説明】

【0069】

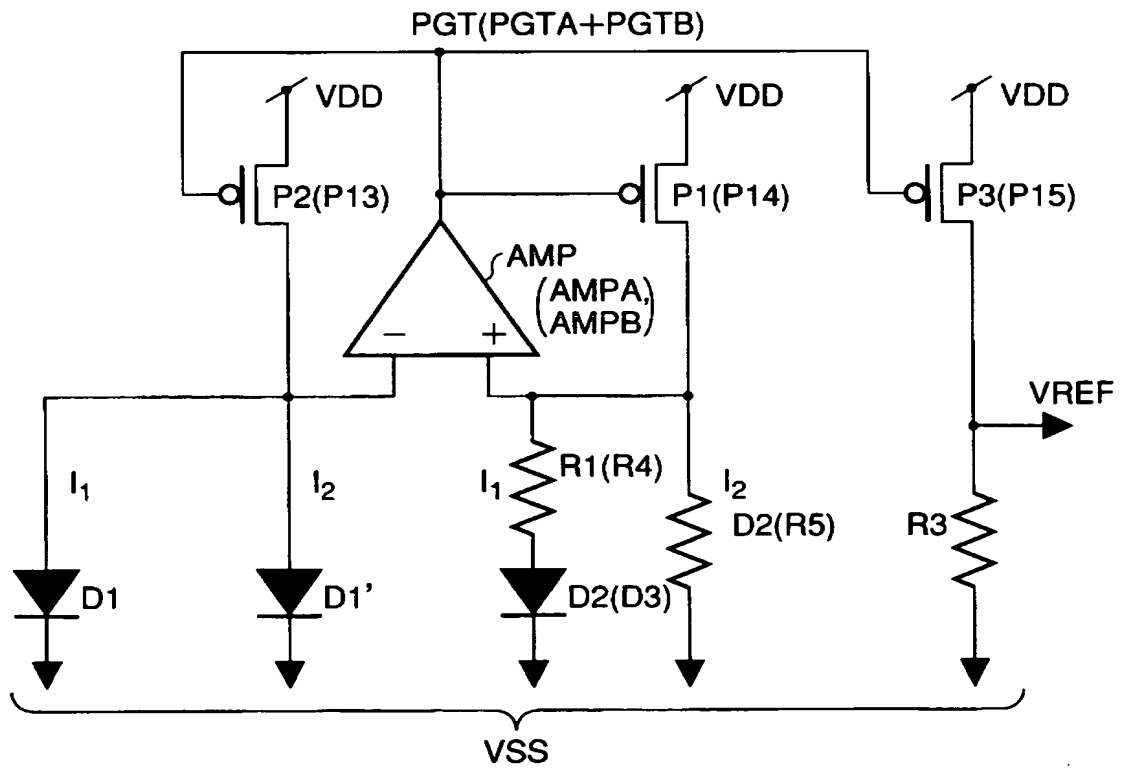
D1、D2…ダイオード、R1、R2、R3…抵抗、P1、P2、P3…PMOSトランジスタ、AMP、AMP1…差動増幅器、BC…バイアス回路、C1…キャパシタ、CM…カレントミラー回路。

【書類名】図面

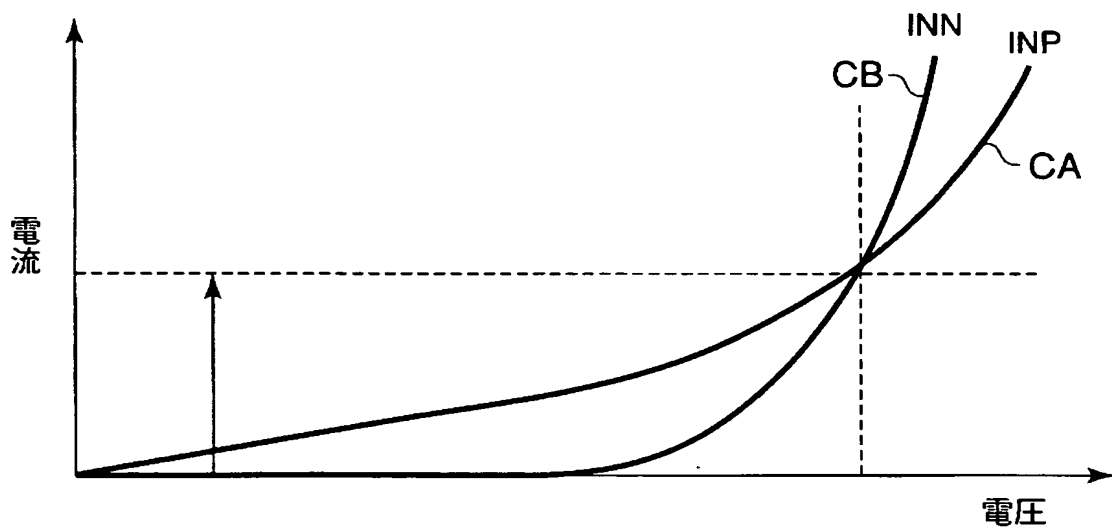
【図 1】



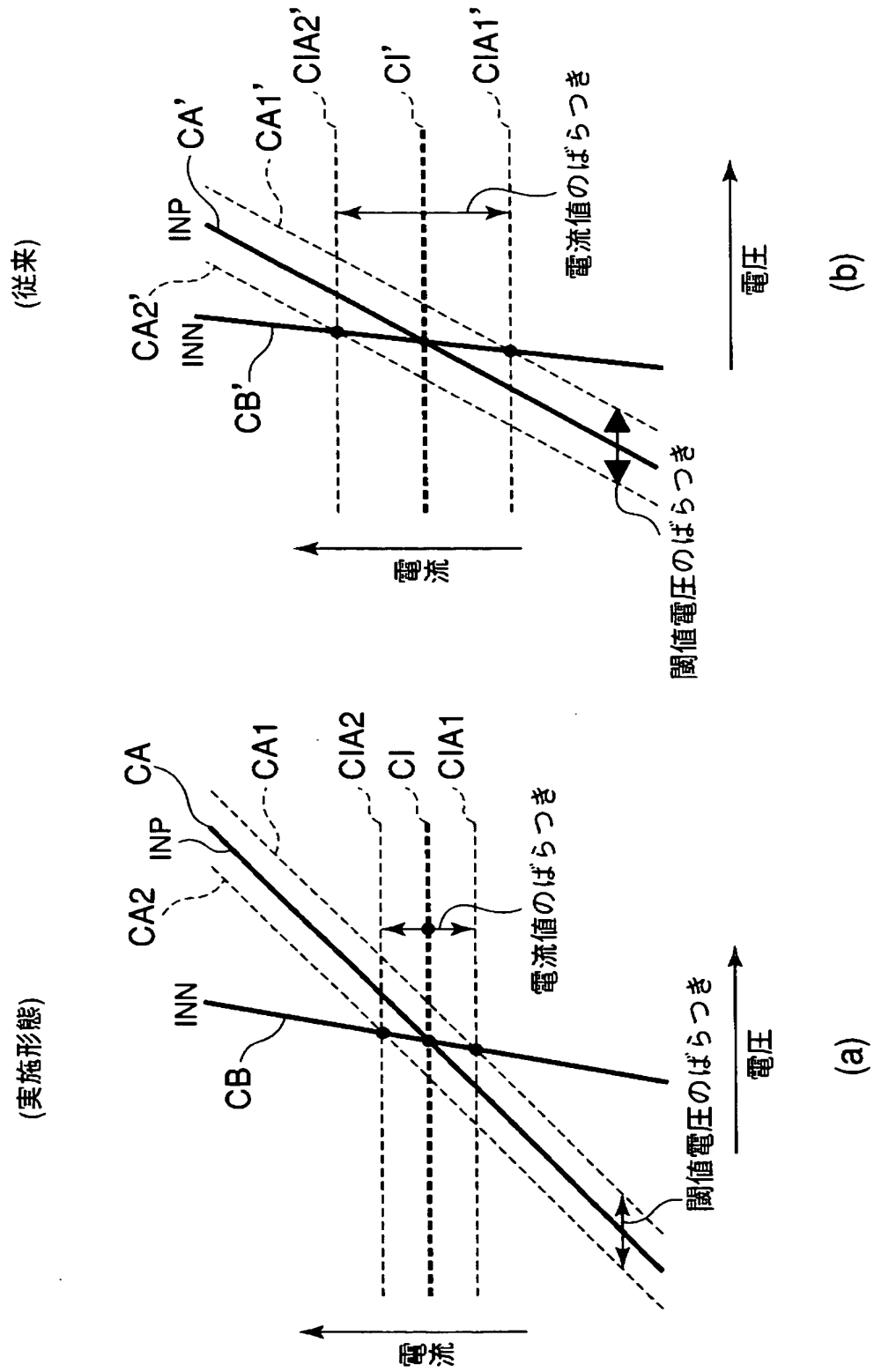
【図 2】



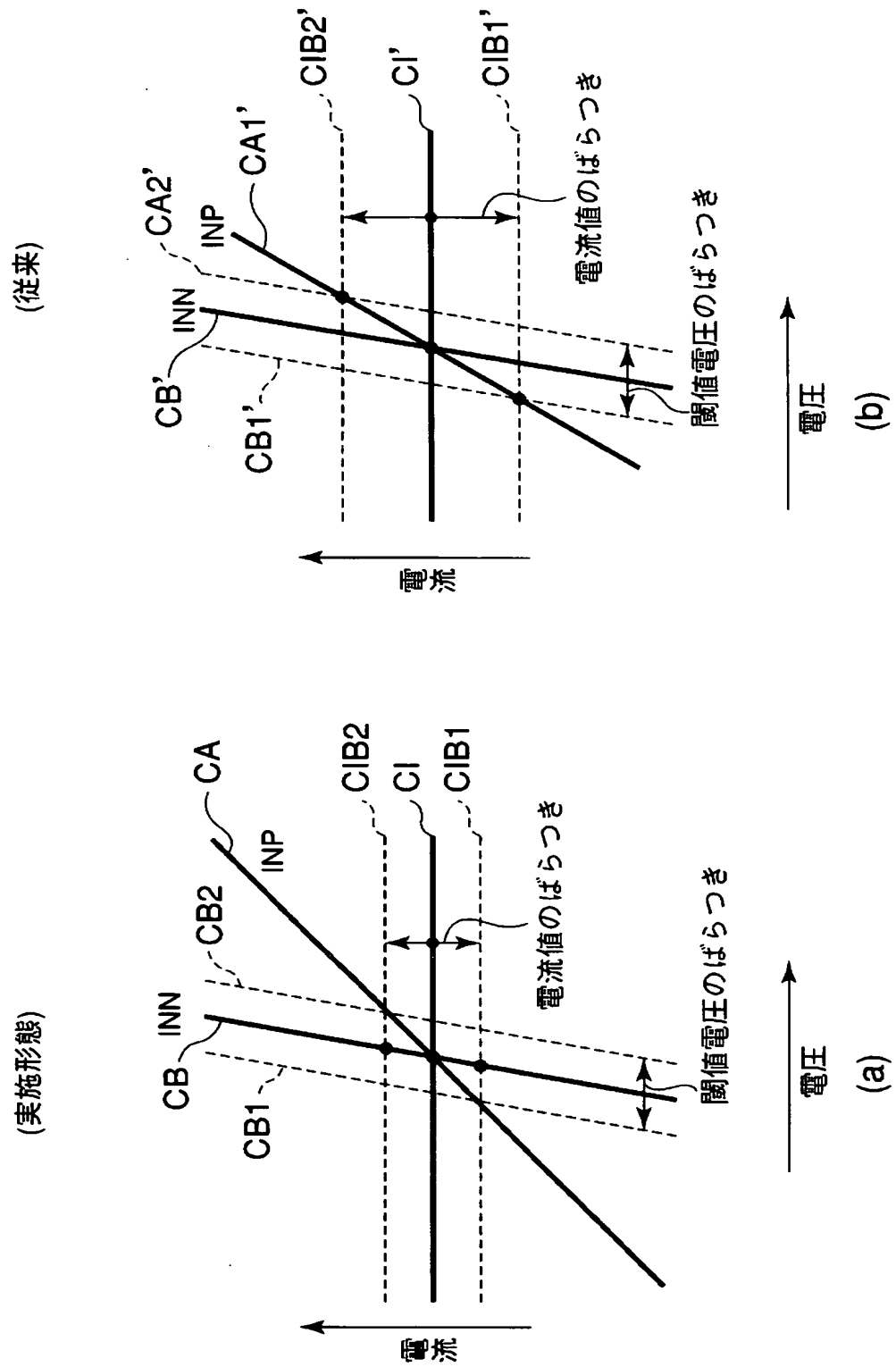
【図 3】



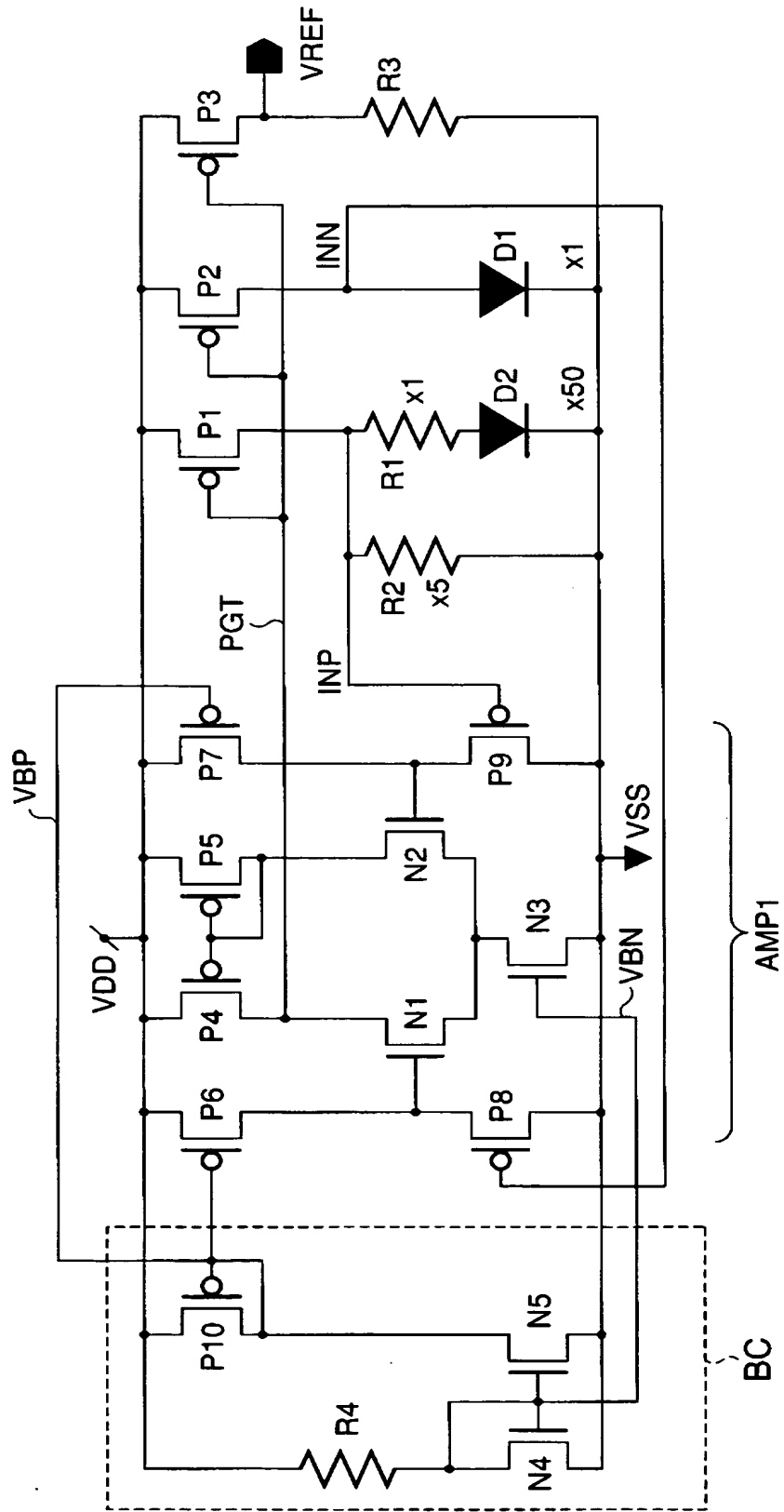
【図 4】



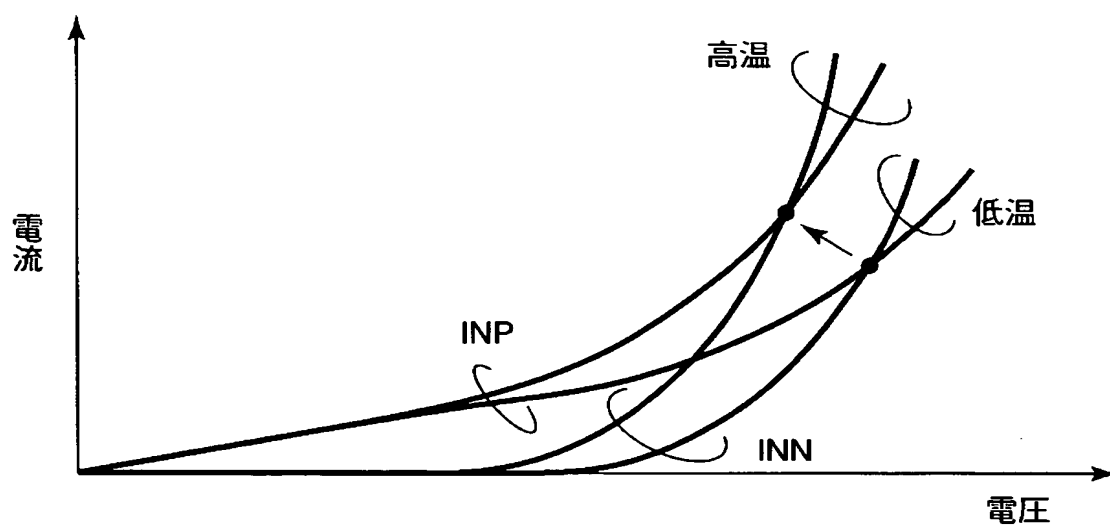
【図 5】



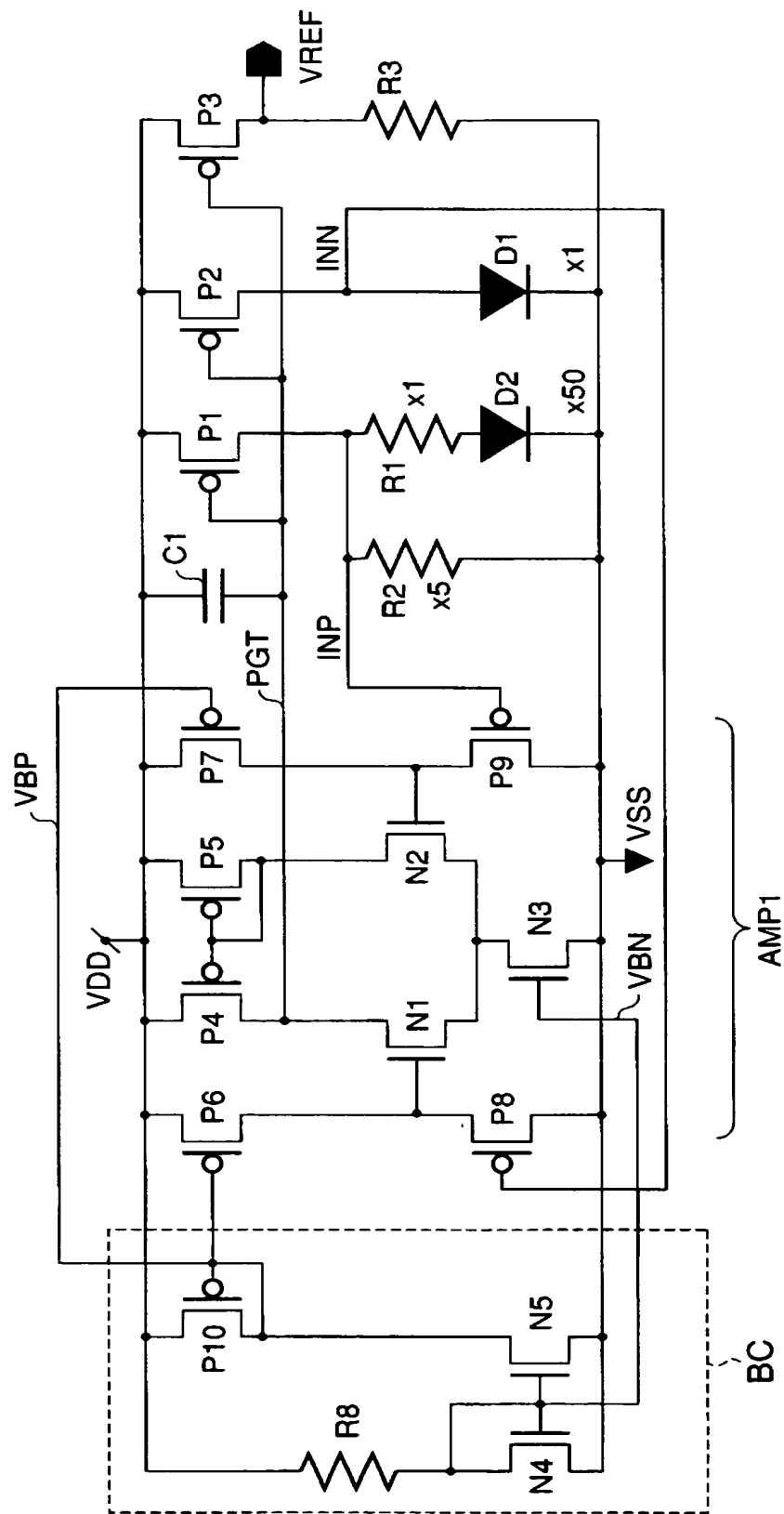
【図 6】



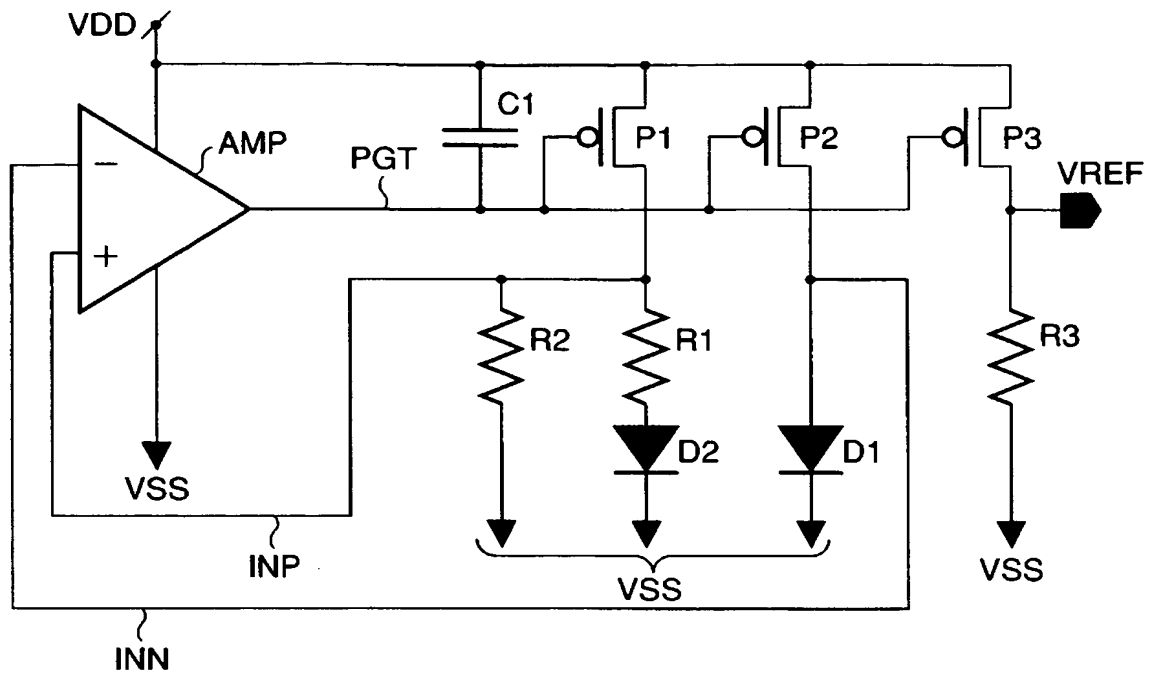
【図 7】



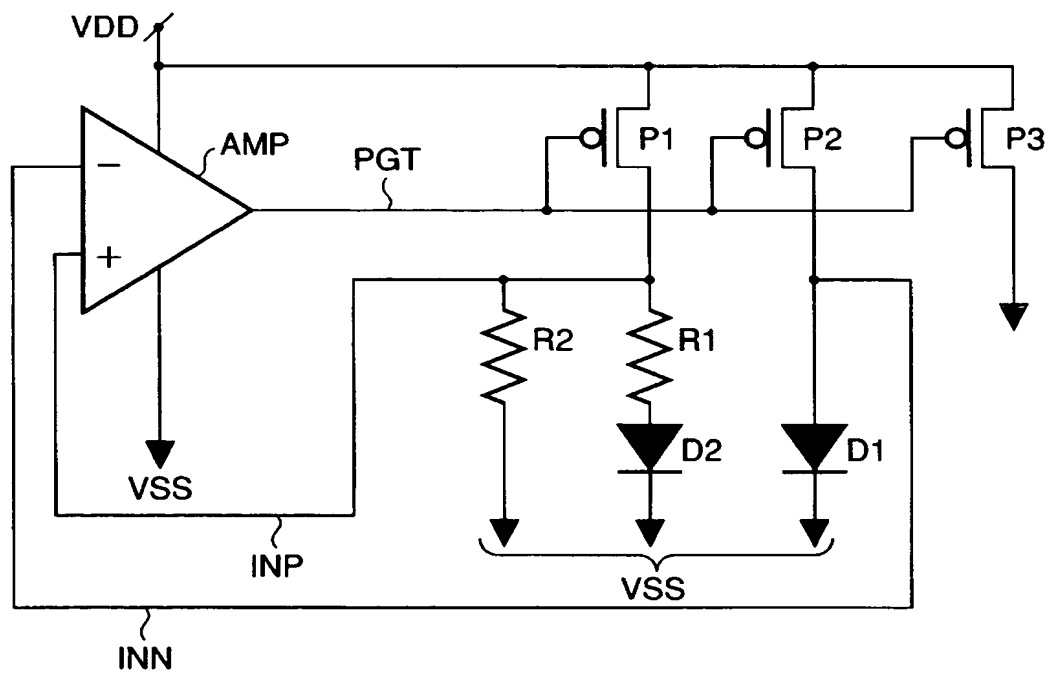
【図 1 1】



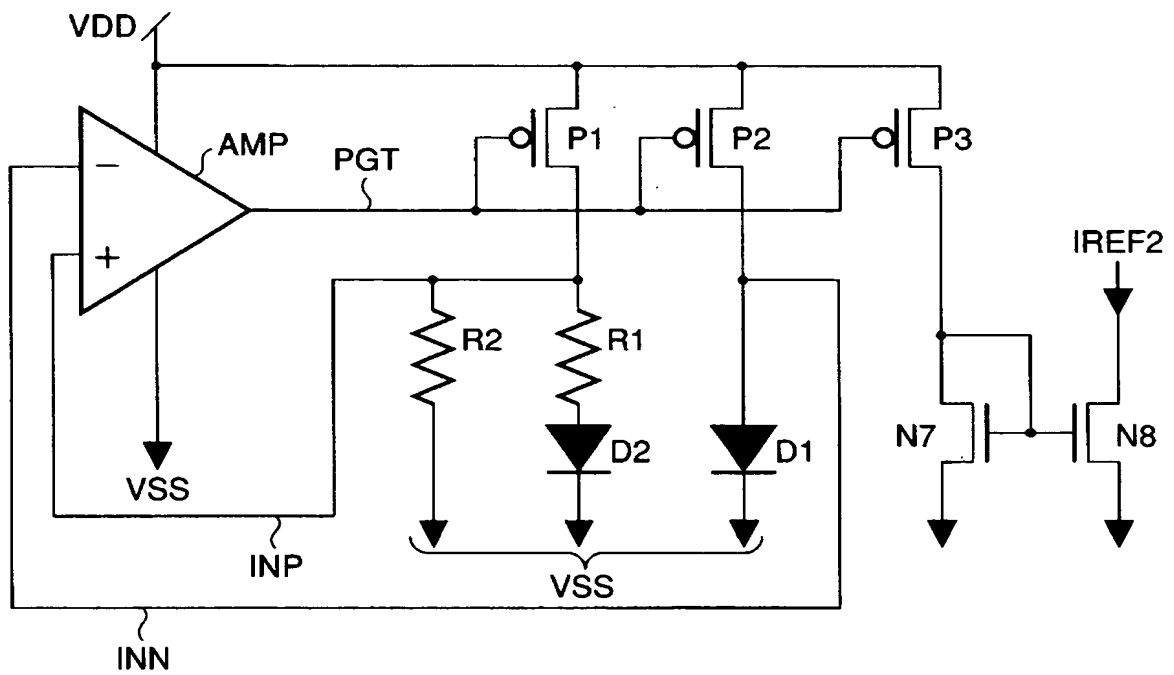
【図 12】



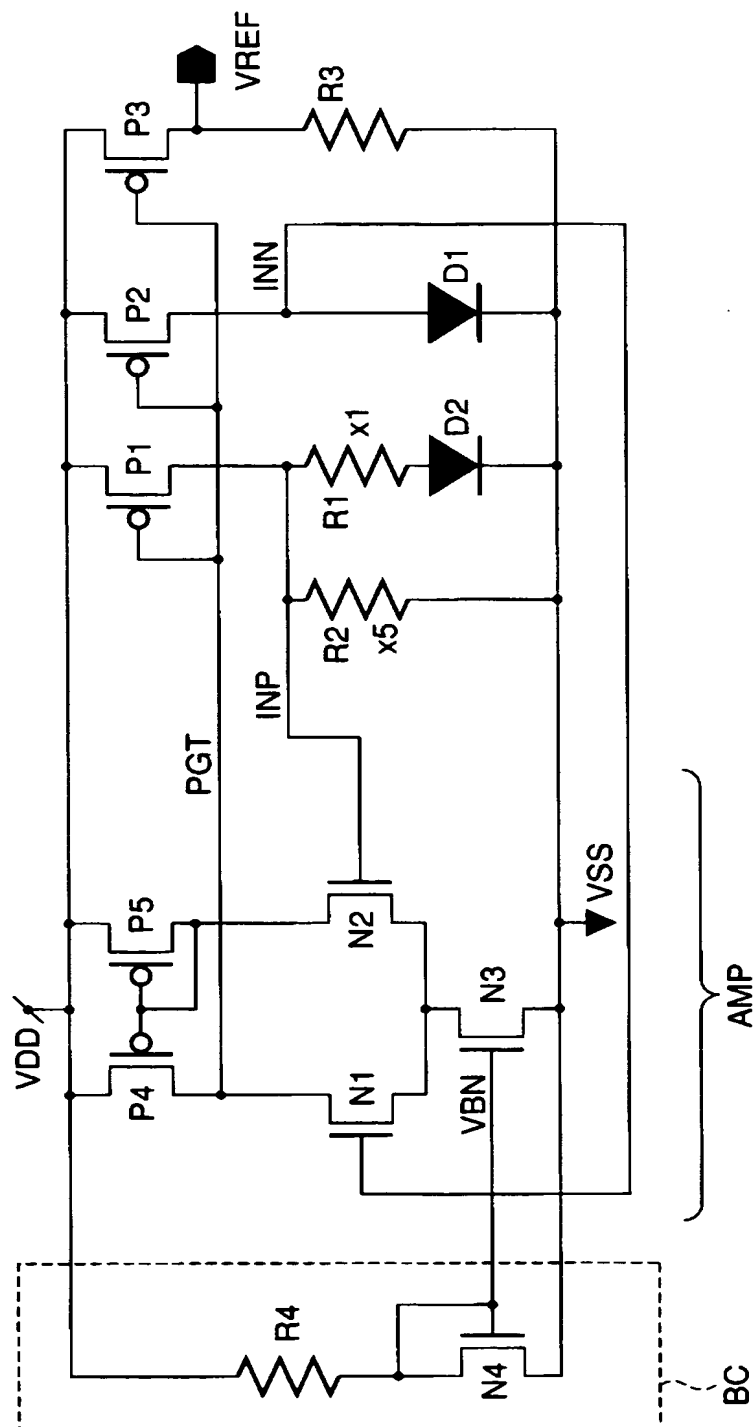
【図 13】



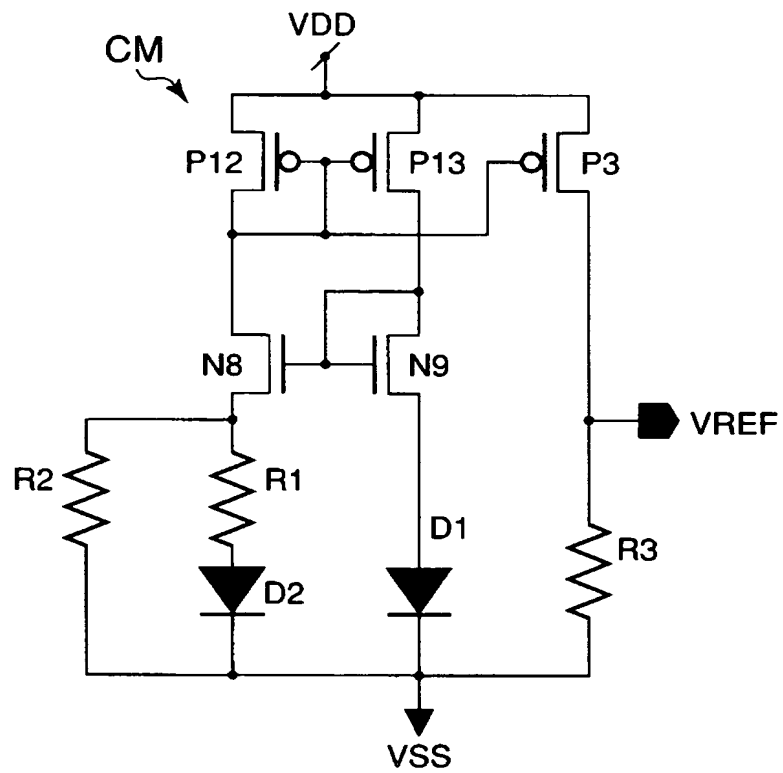
【図 14】



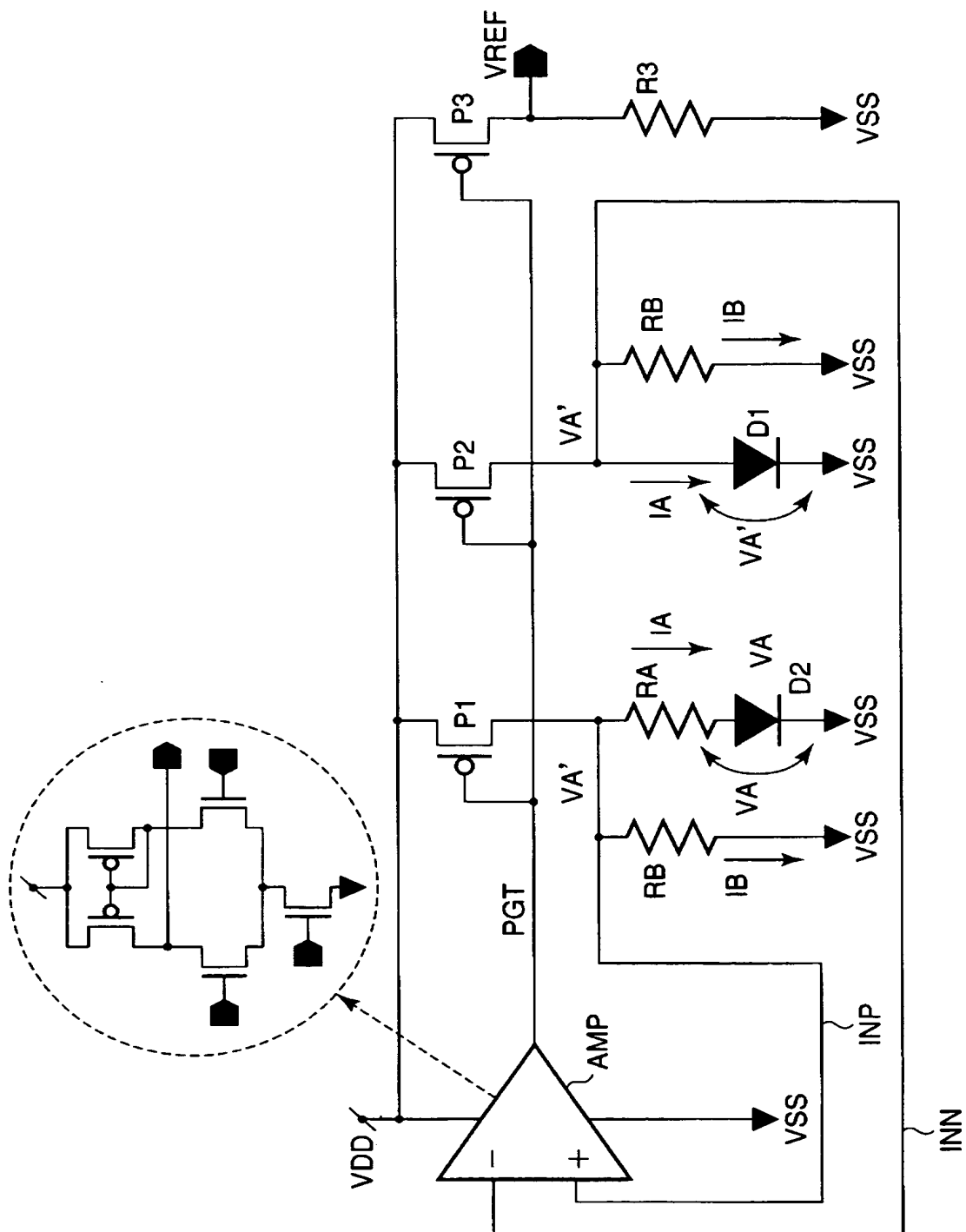
【図 15】



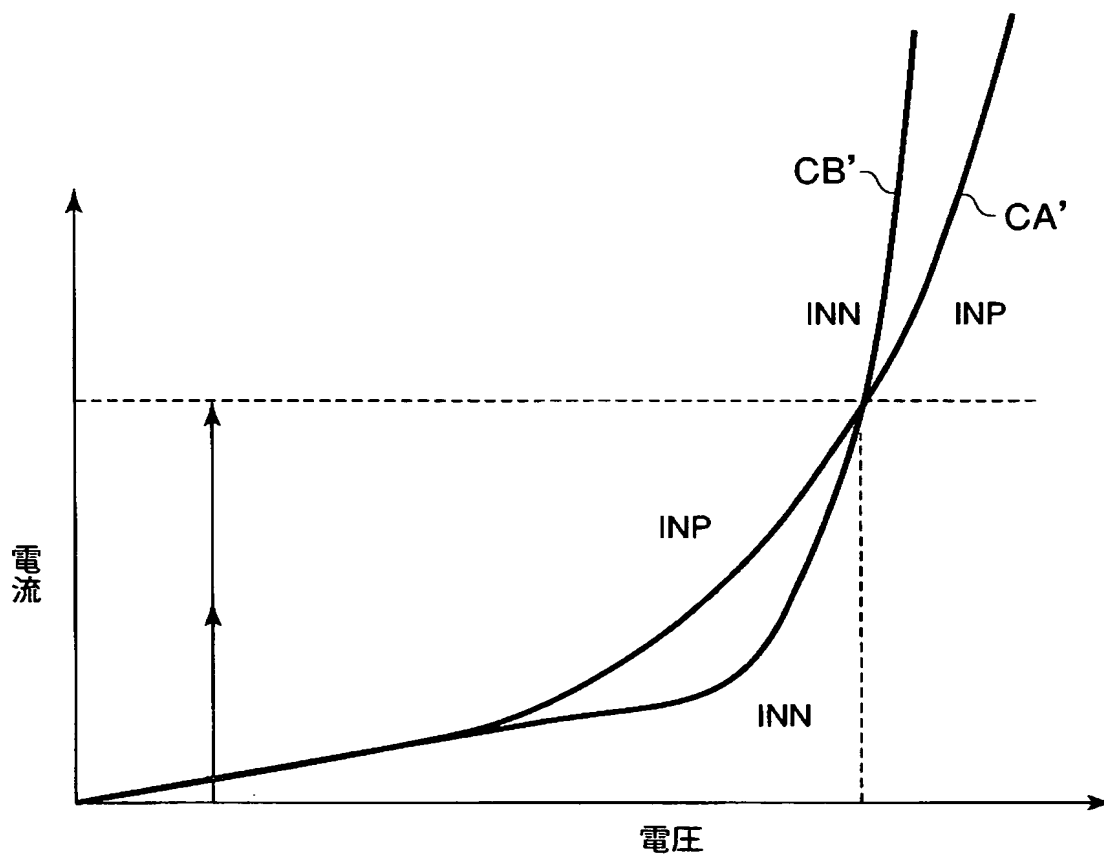
【図 16】



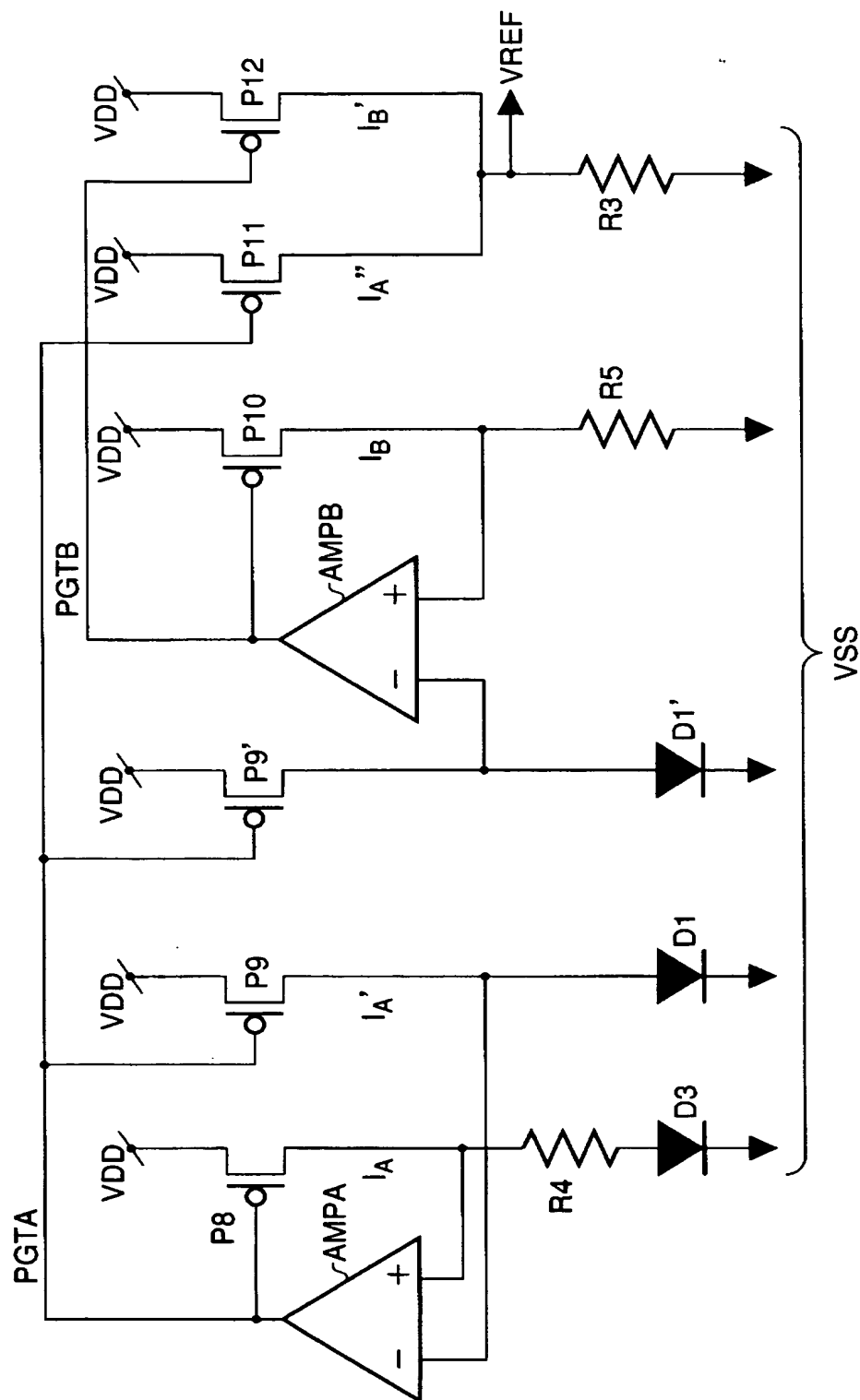
【図 17】



【図 18】



【図 19】



【書類名】 要約書**【要約】**

【課題】 基準電源回路のサイズを縮小でき、出力電圧又は出力電流のばらつきが少なく、しかも安定な動作が困難であった。

【解決手段】 第1のダイオードD1と第1の電流源P2は第1の電位VSSと第2の電位VDDの間に接続される。第1のダイオードと異なるサイズの第2のダイオードD2と、第1の抵抗R1と、第2の電流源P1は第1、第2の電位の間に接続される。第2の抵抗R2は第1の抵抗と第2のPNジャンクションに並列接続される。差動増幅器AMPは、第1の電流源P2と第1のPNジャンクションの間の電位を反転入力とし、第2の電流源と第1の抵抗との接続点の電位を非反転入力とし、これら反転入力と非反転入力の電位差により前記第1、第2、第3の電流源P2、P1、P3を制御する。

【選択図】 図1

特願 2 0 0 3 - 4 1 1 9 1 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝